

BEST AVAILABLE COPY

(54) SEMICONDUCTOR MEMORY

(11) 2-241060 (A) (43) 25.9.1990 (19) JP

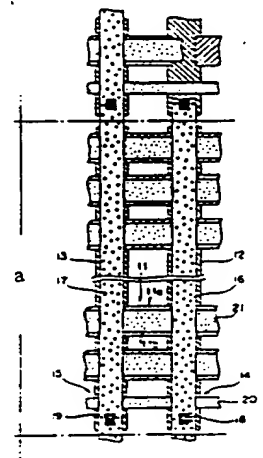
(21) Appl. No. 64-63301 (22) 15.3.1989

(71) SHARP CORP (72) MASARU KUKI(1)

(51) Int. Cl. H01L27/115, G11C16/02, G11C16/04, H01L29/788, H01L29/792

PURPOSE: To reduce the area of a chip and to obtain an EPROM having a short access time by dividing a drain diffusing line connected with the drain region of a floating gate transistor in a row direction at each segment column, and connecting it to a bit line through a transfer gate transistor.

CONSTITUTION: In a memory cell array, one row is made of a plurality of segment columns. Each column has a segment column selection line 20, the drain region of a floating gate transistor of a memory cell contained in the column has a drain diffusing line 12 connected to a row direction, the lines 12 aligned in a column direction are connected to bit lines 16 through transfer gate transistors 14, and the gates of the transistors 14 aligned in the column direction are connected to the lines 20. A word line selector has a segment column selector and a segment word line selector.



a: segment column

⑫ 公開特許公報(A)

平2-241060

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)9月25日

H 01 L 27/115
G 11 C 16/02
16/04
H 01 L 29/788
29/792

8624-5F H 01 L 27/10 4 3 4
7131-5B G 11 C 17/00 3 0 7 D
7514-5F H 01 L 29/78 3 7 1

審査請求 未請求 請求項の数 1 (全8頁)

⑮ 発明の名称 半導体記憶装置

⑯ 特 願 平1-63301

⑰ 出 願 平1(1989)3月15日

⑱ 発 明 者 丸 尾 優 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑲ 発 明 者 北 口 幸 生 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 青山 深 外1名 内題を代わらない。

明 細 書

1. 発明の名称

半導体記憶装置

2. 特許請求の範囲

(1) 非選択型トランジスタからなる不揮
発性メモリセルを行列に配置したメモリセルアレ
イと、上記メモリセル阵列のワード線およびビッ
ト線をそれぞれ選択するワード線選択回路および
ビット線選択回路を備えた半導体記憶装置におい
て、

上記メモリセル阵列は、一つの列が複数のセ
グメントコラムからなり、

上記各セグメントコラムは、セグメントコラム
選択線を備えると共に、そのセグメントコラムに
含まれるメモリセルの選択ゲートとトランジスタ
のドレイン領域が接続された列方向のドレイン延
伸ラインを備え、

行方向に並んだ上記各ドレイン延伸ラインをト
ランスファゲートトランジスタを介してビット線
に接続し、

⑳ 前記各ドレイン延伸ラインの下部に形成した、

ワード線とビット線からなるROM、

を形成し、前記ROMをEPROM

行方向に並んだ上記各トランスファゲートトラ

ンジスタのゲートを、上記セグメントコラム選択
線に接続し、

上記ワード線選択回路は、受け取ったアドレス
入力信号によって上記複数のセグメントコラムの
うちから一つのセグメントコラムを選択するよう
に、上記セグメントコラム選択線にセグメントコ
ラム選択信号を出力するセグメントコラム選択回
路と、受け取ったアドレス入力信号によって各セ
グメントコラムに含まれている複数のワード線の
うちから一つのワード線を選択するように、各セ
グメントコラムごとに並行して各セグメントコラ
ムに含まれるワード線にワード線選択信号を送出
するセグメントワード線選択回路を備えたことを
特徴とする半導体記憶装置。

3. 発明の詳細な説明

＜産業上の利用分野＞

この発明は、紫外線照射により消去可能で電気
的に書き込み可能な読み出し専用の半導体記憶装
置(以下、「EPROM」と略す)に関する。

<従来の技術>

従来、この種のE P R O Mとしては、メモリセルアレイが第6図または第7図に示すようなものがある。

第6図に示すメモリセルアレイは、N型不純物を拡散して形成した列方向のドレイン拡散ライン83およびそれに平行なソース拡散ライン84を備え、この二つの拡散ライン間に浮遊ゲート82と、さらに上記浮遊ゲート82上に行方向のワード線85を設けることによって、一つの浮遊ゲート形トランジスタからなるメモリセル81となし、そして、このようなメモリセルを行列に配置して構成したものである。なお、チップ面積を縮小することができるように、一つのドレイン拡散ラインは、行方向に隣接するメモリセルのソース拡散ラインとして兼用される。

また、第7図に示すメモリセルアレイは、N型不純物を拡散して形成した行方向の一对の平行なソース拡散ライン94および104と、この拡散ライン間に島状のドレイン拡散領域93とを備え、

る遅延時間とビット線での遅延時間の影響が大きくなり、その中でも読み出し時のビット線遅延時間は全アクセスタイムの30～40%におよぶ。E P R O Mセルのオン抵抗 R^* と読み出しを行うE P R O Mセルからセンスアンプまでのビット線抵抗 R^* の合計を R とし、ビット線の全容量を C とすると、ビット線からのデータの読み出し時間は概 CR に比例する。

第6図に示した従来のE P R O Mは、メモリセルサイズが小さいが、ビット線としてメモリセルの列方向の全長に略等しく長いドレイン拡散ライン83を備えているため、ビットライン容量 C とビット線抵抗 R^* が大きくなって、アクセスタイムが実用上支障を及ぼす程に長くなるという欠点がある。

一方、第7図に示したE P R O Mは、ドレイン拡散領域93が島状に孤立しているため、拡散容量が小さくなって、アクセスタイムが短い。第5図に示したメモリセルに比して、メモリセルの構造が複雑なので、デザインルールの観点からセ

このドレイン拡散領域93と上記ソース拡散ライン94、104との間にそれぞれ浮遊ゲート92、102と、さらにその上にそれぞれワード線95、105とを設け、上記ドレイン拡散領域93をコンタクト部96においてビット線97に接続し、上記ソース拡散ライン94、104をコンタクト部99、100において列方向のソース線98に接続することによって、列方向に一对のメモリセル91、101となし、そして、このような一对のメモリセルを行列に配置して構成したものである。なお、チップ面積を縮小することができるように、上記一对のメモリセルのソース拡散ラインは、列方向に隣接するメモリセルに共用される。

<発明が解決しようとする課題>

ところで、一般にE P R O Mのアクセスタイムは、入力バッファ部の遅延時間、アドレスデコーダ部の遅延時間、ワード線における遅延時間、ビット線での遅延時間、センスアンプ部での遅延時間、出力バッファ部での遅延時間の合計によって決められる。この中でも、特にワード線におけ

るサイズが大きくなって、チップ面積が大きくなってしまおうという欠点がある。

そこで、この発明の目的は、チップ面積が小さく、かつアクセスタイムが短いE P R O Mを提供することにある。

<課題を解決するための手段>

上記目的を達成するために、この発明は、浮遊ゲート形トランジスタからなる不揮発性メモリセルを行列に配置したメモリセルアレイと、上記メモリセルアレイのワード線およびビット線をそれぞれ選択するワード線選択回路およびビット線選択回路を備えた半導体記憶装置において、上記メモリセルアレイは、一つの列が複数のセグメントコラムからなり、上記各セグメントコラムは、セグメントコラム選択線を備えると共に、そのセグメントコラムに含まれるメモリセルの浮遊ゲート形トランジスタのドレイン領域が接続された列方向のドレイン拡散ラインを備え、行方向に並んだ上記ドレイン拡散ラインをトランスファゲートトランジスタを介してビット線に接続し、行方向に

並んだ上記各トランスファゲートトランジスタのゲートを、上記セグメントコラム選択線に接続し、上記ワード線選択回路は、受け取ったアドレス入力信号によって上記複数のセグメントコラムのうちから一つのセグメントコラムを選択するように、上記セグメントコラム選択線にセグメントコラム選択信号を出力するセグメントコラム選択回路と、受け取ったアドレス入力信号によって各セグメントコラムに含まれている複数のワード線のうちから一つのワード線を選択するように、各セグメントコラムごとに並行して各セグメントコラムに含まれるワード線にワード線選択信号を送出するセグメントワード線選択回路を備えたことを特徴としている。

<作用>

セグメントコラム選択回路は、アドレス入力信号を受け取って、そのアドレス入力信号によって目的のメモリセルが含まれているセグメントコラムを選択し、そのセグメントコラムのセグメントコラム選択線にセグメントコラム選択信号を出力

並放容量となるため、メモリセルアレイの列方向の全長に等しい長さのドレイン拡散ラインの場合に出して、アクセスタイムが短くなる。

また、メモリセルのドレイン領域が接続された列方向のドレイン拡散ラインを備えているため、島状に立立った従来のドレイン領域の場合に出してメモリセルの構造が単純になって、セルサイズを小さくすることが可能になる。

なお、このEPRROMにデータを書き込む場合、読み出しの場合と同様の手順によって、目的のメモリセルを制御するワード線を選択し、このワード線にプログラム可能電圧を印加すると共に、書き込むべきデータをビット線に印加して行なう。

<実施例>

以下、この発明のEPRROMを説明の実施例により詳細に説明する。

このEPRROMは、第1図に示すように、記憶容量256K(512行、512列)のメモリセルアレイ1と、上記メモリセルアレイ1のワード線を選択するワード線選択回路2と、上記メモリセ

する。すると、上記セグメントコラム選択線に接続されている各トランスファゲートトランジスタが上記セグメントコラム選択信号によってオンして、行方向に並んだ各ドレイン拡散ラインが各々ビット線に導通することになる。また、同時にセグメントワード線選択回路が、各セグメントコラムに含まれている複数のワード線のうちから一つのワード線を選択するように、各セグメントコラムに同時に並行して、各セグメントコラムに含まれているワード線にワード線選択信号を送出する。その結果、上記セグメントコラム選択回路によって選択されたセグメントコラムの一つのワード線によって制御される行方向に並んだメモリセルのデータが各ビット線に出力されることになる。そして、ビット線選択回路が、目的のメモリセルのデータが出力されたビット線を選択して、そのデータを読み取るようにする。

このように読み出しを行なう場合、このEPRROMのアクセスタイムに寄与するのは、セグメントコラムごとに分割されたドレイン拡散ラインのデータ線系をセレクトノイズを用いて複数に分割し、容量を減らす。ルアレイ1のビット線を選択するビット線選択回路9を備えている。

上記メモリセルアレイ1は、第2図に示すように、一列が互いに独立した8個のセグメントコラム1(i=0,1,...,7)に分割されている。上記各セグメントコラム1は、浮遊ゲート11aおよび制御ゲート11bを有する浮遊ゲート形トランジスタのドレイン領域が64個分接続された列方向のドレイン拡散ライン12と、上記トランジスタのソース領域が64個分接続された列方向のソース拡散ライン13とを備えている。上記ドレイン拡散ライン12とソース拡散ライン13は、それぞれトランスファゲートトランジスタ14,15を介してコンタクト部18,19においてビット線16と仮想接地線17とに接続されている。上記トランスファゲートトランジスタ14,15のゲートは、ポリシリコンからなる行方向のセグメントコラム選択線20と一対に形成されている。また、ワード線21はポリシリコンからなり、上記制御ゲート11bと一対に形成されている。こ

のように、1列を、64個のメモリセルからなるセグメントコラム8個により構成し、このセグメントコラムを行方向に512列並べている。なお、一つのセグメントコラムのドレイン拡散ラインおよびビット線は、その右に隣接するセグメントコラムの64個のメモリセルのソース拡散ラインおよび仮想接地線として兼用される。したがって、このセグメントコラムiの等価回路は、第3図に示すような回路になる。

ワード線選択回路2は、第4図に示すように、セグメントコラム選択回路3とセグメントワード線選択回路4とからなっている。上記セグメントコラム選択回路3は、第1図に示すアドレスバッファ50から入力信号A13、A14、A15を受け取ってデコードして、信号B0、B1、B2、B3、B4、B5、B6、B7を発生する回路である。上記信号Bi(i=1,2,...,7)は、メモリセルアレイの各セグメントコラムのセグメントコラム選択線にそれぞれ送出される。

また、上記セグメントワード線選択回路4は、

上記信号Y0~Y7を受け取るYセクタ62と、入力信号A3、A4、A5を受け取ってデコードしてBS0、BS1、...、BS7の各信号を発生するBSブリデコード61と、上記信号BS0~BS7を受け取るBSセクタ63からなっている。上記Yセクタ62およびBSセクタ63は、第5図に示すトランスファゲートトランジスタの64組分からなっている。そして、第5図に示した組のk=0,...,7に対応する8組分が第1図に示す一つのデータ端子D2に接続される。このEPROMは、データ端子D2を8個分(k=0,1,...,7に対応する)備えている。上記Yセクタ62およびBSセクタ63は、受け取った上記Y0~Y7、BS0~BS7の各信号によって、メモリセルアレイ1の512本のビット線から、上記データ端子D2の個数に対応する8本のビット線を選択する。このとき選択されたビット線の左に隣接するビット線は接地され、メモリセルのソース拡散ラインが接地されるようになっている(仮想接地方式)。

上記アドレスバッファ50から入力信号A6、A7を受け取ってデコードして信号u0、u1、u2、u3を発生するUデコーダ6と、入力信号A8、A9を受け取ってデコードして信号v0、v1、v2、v3を発生するVデコーダ7と、入力信号A10、A11、A12を受け取ってデコードして信号w0、w1、w2、w3、w4、w5、w6、w7を発生するWデコーダ8と、上記Uデコーダ6、Vデコーダ7、Wデコーダ8からそれぞれ信号u0~u3、v0~v3、w0~w7を受け取ってデコードして、ワード線選択信号WL0、WL1、...、WL61、WL62、WL63を発生するRデコーダ5とからなっている。上記ワード線選択信号WLj(j=0,1,...,63)は、各セグメントコラムに同時に並行して、セグメント内の64本のワード線にそれぞれ送出される。

上記ビット線選択回路9は、第1図に示すように、アドレスバッファ50から入力信号A0、A1、A2を受け取ってデコードしてY0、Y1、...、Y7の各信号を発生するYブリデコード60と、

このEPROMは、記憶しているデータを読み出す場合、次のようにして動作する。

アドレス入力端子A0、A1、...、A12にそれぞれアドレス入力信号が印加されると、アドレスバッファ50を通して、上記入力信号A13~A15が、セグメントコラム選択回路3に印加される。上記セグメントコラム選択回路3は、上記入力信号A13~A15をデコードして目的のメモリセル、例えば第2図に示したメモリセル11が含まれているセグメントコラムiを選択し、そのセグメントコラムiのセグメントコラム選択線20にセグメントコラム選択信号Biを送出する。そして、上記セグメントコラムi内で、上記セグメントコラム選択線Biに接続されている各トランスファゲートトランジスタ18、19がオンして、第2図に示したドレイン拡散ライン12とソース拡散ライン13がそれぞれビット線16、17に導通することになる(なお、行方向に並んだ図示しない他のドレイン拡散ラインも同時に各ビット線に導通する)。また、同時に、セグメントワード線選択回路4は、上

記アドレスバッファ50から入力信号A₀～A₁₁を受け取ってデコードして、各セグメントコラムに含まれている64本のワード線のうちから一つのワード線を選択するように、各セグメントコラムに同時に並行して各セグメントコラムに含まれている64本のワード線にワード線選択信号W_{Li}($i=0, 1, 2, \dots, 63$)を送出する。その結果、例えば上記セグメントコラム選択回路3によって選択されたセグメントコラムiの一つのワード線21によって制御されるメモリセルのデータがビット線15に出力されることになる。そして、上記ビット線選択回路9は、上記アドレスバッファ50から入力信号A₀～A₅を受け取ってデコードして、目的のメモリセル11のデータが出力された上記ビット線15を選択して、センスアンプ出力バッファ70を通してデータ端子D_q($q=0, 1, \dots, 7$)のいずれかに出力する。なお、仮想接地線17を同時に接地している。

このように、読み出しを行なう場合、このEPROMのアクセスタイムに寄与するのは、第3図

GM信号によって電源切り替え回路73が動作して、データ入力回路71、ワード線選択回路2、ビット線選択回路9の電源として1.2Vが印加される(読み出し時は5Vである)。同時に、PGM信号によって、データ入力回路71によってデータ端子に印加された入力データが1.2V信号に変換されビット線に印加される。また、選択されたワード線には、1.2Vが印加される。ここで、ビット線およびワード線の選択の仕方は、読み出し時と同じであるので説明を省略する。

上記データ端子D_qに“LOW”信号が印加されている場合、上記ビット線には1.2Vが印加される。選択されたメモリセルのゲートおよびドレインに高圧が印加され書き込みが行なわれる。書き込まれたメモリセルのスレッシュホールド電圧は5V以上に上昇し、常時オフ状態になり、読み出し時にはデータ端子D_qに“LOW”信号を出力する状態になる。

一方、上記データ端子D_qに“HIGH”信号が印加されている場合、上記ビット線には0Vが印

加される。選択されたメモリセルのゲートには1.2Vが印加されるがビット線は0Vに保たれるため書き込みは行なわれない。書き込みが行なわれなかったメモリセルのスレッシュホールド電圧は1V以下に保たれ、常時オン状態になり、読み出し時にはデータ端子D_qに“HIGH”信号を出力する状態になる。

中に示すように各セグメントコラムに分割されたドレイン拡散ライン12の拡散容量C₁となる。したがって、第6図に示したようにメモリセルレイの列方向の全長に略等しい長さの従来のドレイン拡散ラインの場合に比して、拡散容量を略1/8に減らすことができ、同時に拡散抵抗を減らすことができるので、アクセスタイムを短くすることができる。また、メモリセルのドレイン領域が列方向に接続されたドレイン拡散ラインを備えているため、第7図に示したように島状に孤立している従来のドレイン領域の場合に比して、メモリセルの構造が単純になって、セルサイズを小さくすることが可能になる。

なお、このEPROMは、メモリセルにデータを書き込む場合、データ端子D_q($q=0, 1, \dots, 7$)に入力データを印加しておき、このEPROMを書き込みモードにすることによって行なわれる。このEPROM内部では書き込みモードになると第1図に示す書き込み制御回路72によってPGM(プログラムモード)信号が出力される。このP

GM信号によって電源切り替え回路73が動作して、データ入力回路71、ワード線選択回路2、ビット線選択回路9の電源として1.2Vが印加される(読み出し時は5Vである)。同時に、PGM信号によって、データ入力回路71によってデータ端子に印加された入力データが1.2V信号に変換されビット線に印加される。また、選択されたワード線には、1.2Vが印加される。ここで、ビット線およびワード線の選択の仕方は、読み出し時と同じであるので説明を省略する。

<発明の効果>

以上より明らかなように、この発明のEPROMは、メモリセルの浮遊ゲート形トランジスタのドレイン領域が列方向に接続されたドレイン拡散ラインを備えると共に、上記ドレイン拡散ラインをセグメントコラムごとに分割し、分割したドレイン拡散ラインをトランスファゲートトランジスタを介してビット線に接続するようにしているため、アクセスタイムを短く、かつチップ面積を小さくすることができる。

4. 図面の簡単な説明

第1図はこの発明のEPROMの一実施例を示すブロック図、第2図は上記EPROMのメモリ

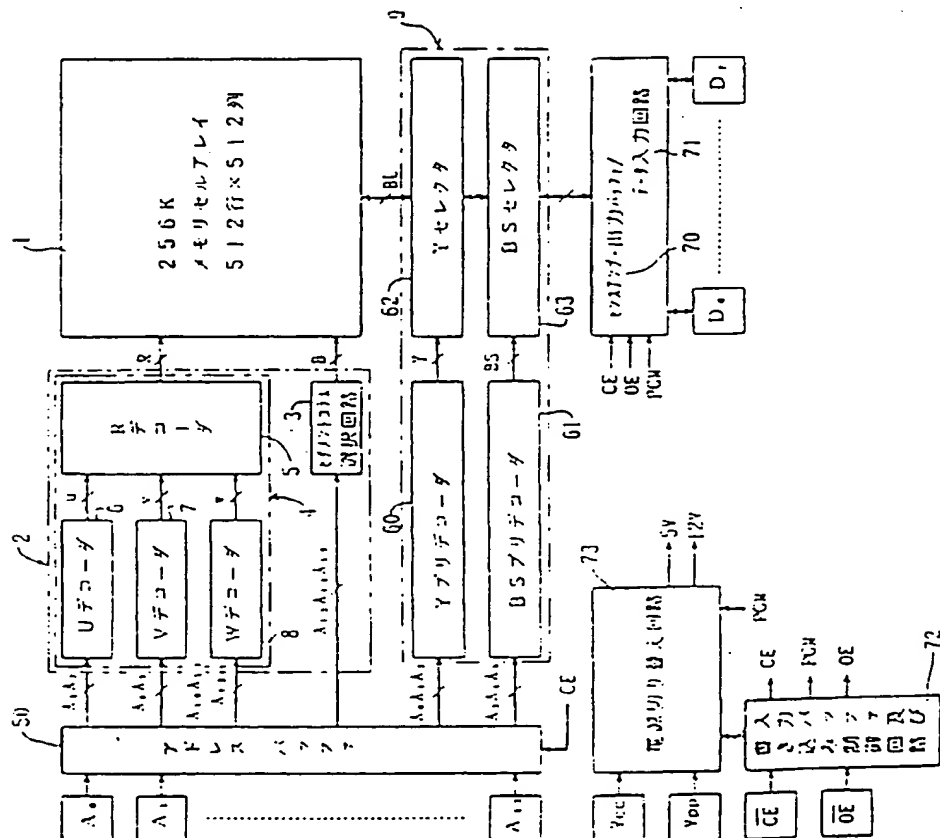
セルアレイの構造を示す図、第3図は上記メモリセルアレイの等価回路を示す回路図、第4図は上記EPROMのワード線選択回路の構成を示すブロック図、第5図は上記EPROMのビット線選択回路の一部をなすYセクタおよびBSセクタの等価回路を示す回路図、第6図および第7図は従来のEPROMのメモリセルアレイの構造を示す図である。

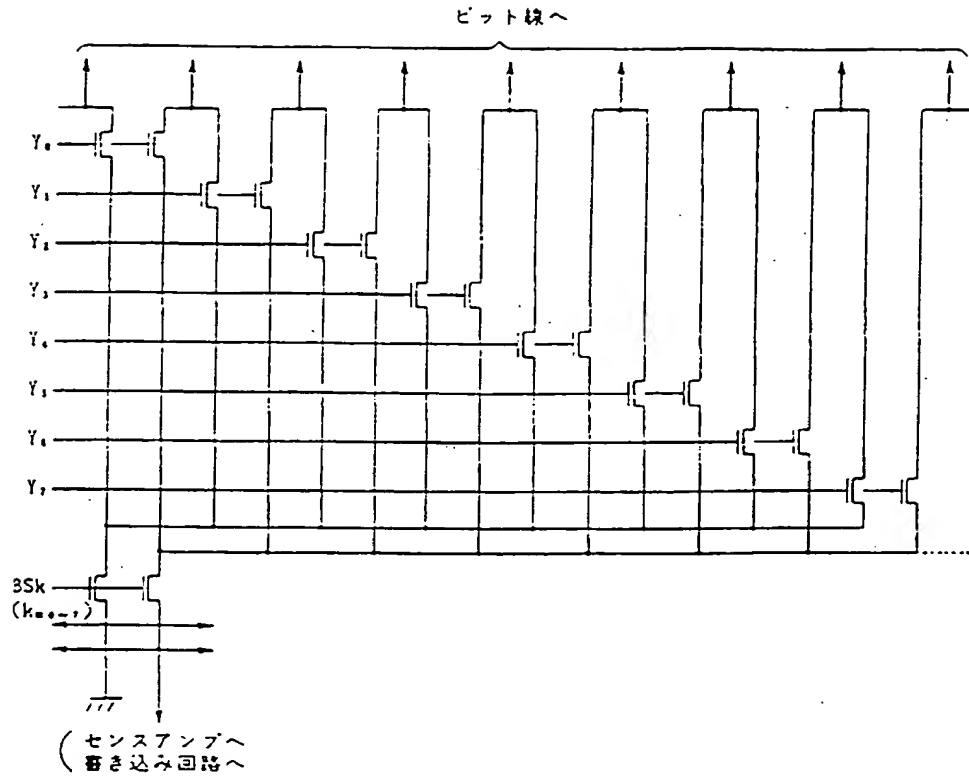
- 1…メモリセルアレイ、2…ワード線選択回路、
3…セグメントコラム選択回路、
4…セグメントワード線選択回路、
5…Rデコーダ、6…Uデコーダ、
7…Vデコーダ、8…Wデコーダ、
9…ビット線選択回路、11…メモリセル、
11a…浮遊ゲート、11b…制御ゲート、
12…ドレイン拡散ライン、
13…ソース拡散ライン、
14、15…トランスファゲートトランジスタ、
16…ビット線、17…仮想接地線、
18、19…コンタクト部、

- 20…セグメントコラム選択線、C…拡散容量、
50…アドレスバッファ、60…Yプリデコード、
61…BSプリデコード、62…Yセクタ、
63…BSセクタ、
70…センスアンプ・出力バッファ、
71…データ入力回路、72…書き込み制御回路、
73…電源切り替え回路、
A₀、A₁、…、A₁₁…アドレス入力端子、
D₀、D₁、…、D₁₁…データ端子。

特 許 出 願 人 シャープ株式会社
代 理 人 弁 理 士 青 山 深 ほか1名

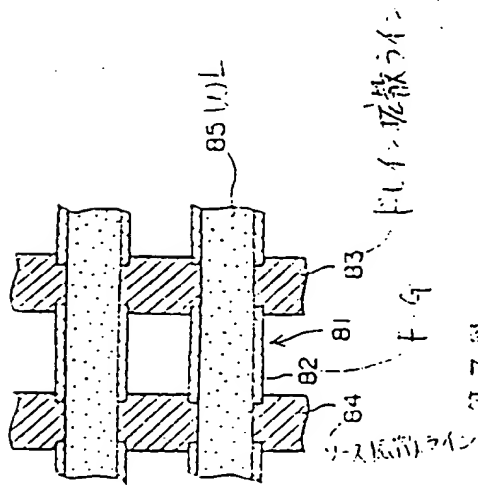
第1図





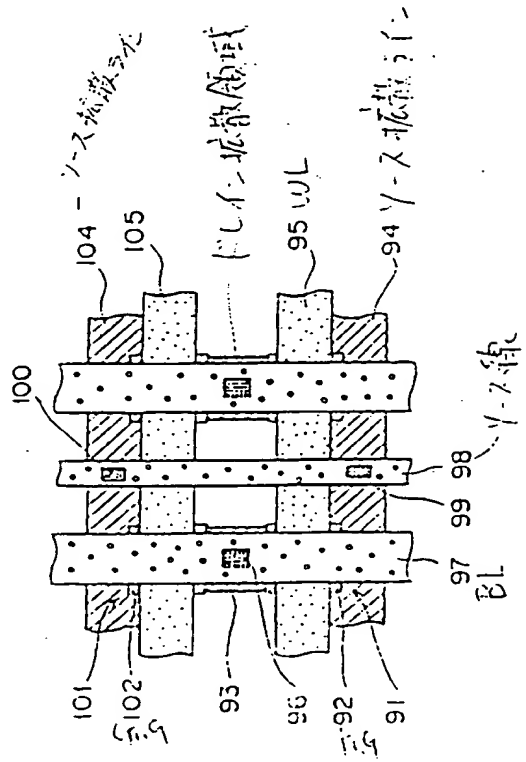
(従来例)

第 6 図



センス線に接続されたトランジスタ

第 7 図



This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REPERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images
problems checked, please do not report the
problems to the IFW Image Problem Mailbox**